

PAT-NO: JP402037746A  
DOCUMENT-IDENTIFIER: JP 02037746 A  
TITLE: SEMICONDUCTOR DEVICE  
PUBN-DATE: February 7, 1990

INVENTOR-INFORMATION:  
NAME  
NOBUHARA, HIROYUKI

ASSIGNEE-INFORMATION:  
NAME FUJITSU LTD COUNTRY  
N/A

APPL-NO: JP63188903  
APPL-DATE: July 28, 1988

INT-CL (IPC): H01L021/76, H01L027/14 , H01L031/10  
US-CL-CURRENT: 257/499

ABSTRACT:

PURPOSE: To increase insulating efficiency between elements and improve performances of stable operation as well as low noise operation by inserting a semiconductor layer having a small interfacial induced charge with an induction film between the surface of a semi-insulating InP substrate and the induction film.

CONSTITUTION: An i-type InAlAs layer 4 having a high resistance is inserted between a semi-insulating InP substrate 2 and an SiN film 18. When a leak current which flows in a boundary surface between the

semi-insulating InP substrate 2 and the i-type InAlAs layer 4 is designated  $I_{<SB>1</SB>}$  and a leak current which flows in an interface between the i-type InAlAs layer 4 and the SiN film 18 is designated  $I_{<SB>2</SB>}$ , a leak current which flows in an element isolation region comes to  $(I_{<SB>1</SB>} + I_{<SB>2</SB>})$ . In such a case, as charge induced in the interface between the i-type InAlAs layer 4 and the SiN film 18 is so extremely low that the leak current  $I_{<SB>2</SB>}$  flowing in this interface becomes small. In this way, insulating efficiency between elements which are formed on the semi-insulating InP substrate is increased and then, stable and low noise movements are performed.

COPYRIGHT: (C)1990,JPO&Japio

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平2-37746

⑤ Int. Cl.<sup>3</sup>

H 01 L 21/76  
27/14  
31/10

識別記号

S

庁内整理番号

7638-5F

⑬ 公開 平成2年(1990)2月7日

7733-5F H 01 L 31/10  
7377-5F 27/14

A

審査請求 未請求 請求項の数 1 (全9頁)

⑭ 発明の名称 半導体装置

⑮ 特 願 昭63-188903

⑯ 出 願 昭63(1988)7月28日

⑰ 発 明 者 延 原 裕 之 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内

⑱ 出 願 人 富 士 通 株 式 会 社 神奈川県川崎市中原区上小田中1015番地

⑲ 代 理 人 弁 理 士 井 桁 貞 一 外2名

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

I n P 基板上に形成された複数の素子領域を互いに電気的に絶縁する素子分離領域は、前記 I n P 基板と、該 I n P 基板上に形成された誘電膜によって構成されている半導体装置において、

前記 I n P 基板と前記誘電膜との間に、前記誘電膜との界面に誘起される電荷が小さい半導体層が設けられていることを特徴とする半導体装置。

3. 発明の詳細な説明

[ 概要 ]

半導体装置およびその製造方法に係り、特に半絶縁性 I n P 基板上に集積化された化合物半導体装置およびその製造方法に関し、

半絶縁性 I n P 基板上に形成された素子間の絶縁性を高め、安定動作、低雑音動作を行なう半導体装置およびその製造方法を提供することを目的とし、

I n P 基板上に形成された複数の素子領域を互いに電気的に絶縁する素子分離領域は、前記 I n P 基板と、該 I n P 基板上に形成された誘電膜によって構成されている半導体装置において、前記 I n P 基板と前記誘電膜との間に、前記誘電膜との界面に誘起される電荷が小さい半導体層が設けられているように構成する。

[ 産業上の利用分野 ]

本発明は、半導体装置に係り、特に半絶縁性 I n P 基板上に集積化された化合物半導体装置に関する。

I n G a A s 中を走行する電子の速度は、G a A s 中を走行する電子の速度よりも数倍大きいので、超高速度および低雑音性において、I n G a A s 系電子デバイス、G a A s 系電子デバイス

よりも優れている。また、InGaAsは、長波長帯(1.3~1.5 $\mu$ m)光通信用半導体デバイスの光吸収層としても優れている。このため、近年、InP基板上にモノリシック集積化したInGaAs系光電子集積回路(OEIC)の研究開発が進められている。

ところで、既に実用段階にあるGaAs系集積回路に比べ、InGaAs系集積回路の製作技術は未成熟であり、解決しなければならない点も多い。そしてその一つが、素子間の電氣的絶縁技術である。GaAsの表面およびGaAsと例えば酸化シリコン(SiO)膜や窒化シリコン(SiN)膜などの誘電膜との界面を流れる電流が非常に小さいのに比べ、InPの表面およびInPと誘電膜との界面を流れる電流は比較的大きく、良好な素子間絶縁が妨げられている。

#### [従来の技術]

従来の半導体装置を第5図を用いて説明する。

第5図において、半絶縁性InP基板72の素

N膜88が誘電膜として半絶縁性InP基板72上に形成されている。

そしてSiN膜88上には、隣り合う2個のフォトダイオードのp型電極84とn型電極86とを接続している配線層90が配線されている。

このようにして、半絶縁性InP基板72上に、InGaAs系の2個のフォトダイオードを直列に接続したモノリシックデュアルフォトダイオードが形成されている。

#### [発明が解決しようとする課題]

しかしながら、上記従来の半導体装置においては、隣り合うフォトダイオード間の絶縁が半絶縁性InP基板72上に形成されたSiN膜88によってなされているため、半絶縁性InP基板72とSiN膜88との界面に電荷が誘起され、この誘起された電荷が隣り合う $n^+$ 型InP層間にリーク電流I3を発生させ、光電子集積回路の安定動作、低雑音動作に悪影響を与えるという問題があった。

子領域Fには、 $n^+$ 型InP層76、I型InGaAs層78、およびI型InP層80が順に積層されている。さらにI型InP層80には、例えば亜鉛Znが選択的に拡散された $p^+$ 型領域82が形成されていて、この $p^+$ 型領域82はI型InGaAs層80にまで達している。そしてこうした $n^+$ 型InP層76、I型InGaAs層78、および $p^+$ 型領域82によって、InGaAs系pinフォトダイオード(PD)が構成されている。

また、 $p^+$ 領域82上にはp型電極84が形成され、 $n^+$ 型InP層76上にはn型電極86が形成されている。そしてこれらのp型電極84上およびn型電極86上を除き、フォトダイオードの表面全体が表面保護膜としてのSiN膜88によって覆われている。

また、このように形成されているフォトダイオードとフォトダイオードとの間の素子分離領域Gにおいては、フォトダイオードの表面を覆っている表面保護膜としてのSiN膜88と同一のSi

そこで本発明は、半絶縁性InP基板上に形成された素子間の絶縁性を高め、安定動作、低雑音動作を行なう半導体装置を提供することを目的とするものである。

#### [課題を解決するための手段]

上記課題は、InP基板上に形成された複数の素子領域を互いに電氣的に絶縁する素子分離領域は、前記InP基板と、該InP基板上に形成された誘電膜によって構成されている半導体装置において、前記InP基板と前記誘電膜との間に、前記誘電膜との界面に誘起される電荷が小さい半導体層が設けられていることを特徴とする半導体装置によって達成される。

#### [作用]

すなわち本発明は、半絶縁性InP基板上に形成された半導体素子間の素子分離領域において、半絶縁性InP基板表面と誘電膜との間に、界面誘起電荷の小さい半導体層を挿入することにより、

この素子分離領域に発生するリーク電流を低減する。

#### [実施例]

以下、本発明を図示する実施例に基づいて具体的に説明する。

第1図は本発明の第1の実施例による半導体装置の断面を示す断面図である。

半絶縁性InP基板2上に、厚さ0.5 $\mu$ mの高低抗のI型InAlAs層4が形成されている。そしてこの半導体装置の素子領域AのI型InAlAs層4上には、厚さ0.5 $\mu$ mのn<sup>+</sup>型InP層6、厚さ1.5 $\mu$ mのI型InGaAs層8、および厚さ0.5 $\mu$ mのI型InP層10が順に積層されている。さらにI型InP層10には、例えば亜鉛Znが選択的に拡散されたp<sup>+</sup>型領域12が形成されていて、このp<sup>+</sup>型領域12はI型InGaAs層8にまで達している。そしてこうしたn<sup>+</sup>型InP層6、I型InGaAs層8、およびp<sup>+</sup>型領域12によって、In

GaAs系pinフォトダイオードが構成されている。

また、p<sup>+</sup>領域12上には、例えば厚さ1500ÅのAuと厚さ300ÅのZnと厚さ100ÅのAuとの3層のp型電極14が形成され、n<sup>+</sup>型InP層6上には、例えば厚さ2700ÅのAuと厚さ300ÅのAuGeとの2層のn型電極16が形成されている。そしてこれらのp型電極14上およびn型電極16上を除き、フォトダイオードの表面全体が表面保護膜としての厚さ2000ÅのSiN膜18によって覆われている。

また、このように形成されているフォトダイオードとフォトダイオードとの間の素子分離領域においては、半絶縁性InP基板2上に形成されている高低抗のI型InAlAs層4上に、フォトダイオードの表面を覆っている表面保護膜としてのSiN膜18と同一の厚さ2000ÅのSiN膜18が形成されている。すなわち半絶縁性InP基板2とSiN膜18との間に高低抗のI型InAlAs層4が挿入されている構造となって

いる。そしてSiN膜18上には、例えば厚さ3500ÅのAuと厚さ500ÅのTiとの2層の配線層20が配線されている。この配線層20は、隣り合う2個のフォトダイオードのp型電極14とn型電極16とを接続している。

このようにして、半絶縁性InP基板2上に、高低抗のI型InAlAs層4を介して、InGaAs系の2個のフォトダイオードを直列に接続したモノリシックデュアルフォトダイオードが形成されている。そしてこのデュアルフォトダイオードは、コヒーレント光通信用のデュアルバランス型光受信器に用いられる。

次に、第1の実施例の素子分離領域におけるリーク電流について述べる。

半絶縁性InP基板2と高低抗のI型InAlAs層4との境界面を流れるリーク電流を $I_1$ とし、I型InAlAs層4とSiN膜18との界面を流れるリーク電流を $I_2$ とすると、素子分離領域において流れるリーク電流は、 $(I_1 + I_2)$ となる。

このとき、I型InAlAs層4とSiN膜18との界面に誘起される電荷が極めて小さいため、この界面を流れるリーク電流 $I_2$ は、第5図に示される従来例における半絶縁性InP基板72とSiN膜88との界面に流れるリーク電流 $I_3$ に比べてはるかに小さくなる。従って、素子分離領域におけるリーク電流 $(I_1 + I_2)$ は、従来例におけるリーク電流 $I_3$ よりも小さくなる。

本発明者の実験によれば、第1の実施例による半導体装置の素子分離領域におけるリーク電流 $(I_1 + I_2)$ は、従来例におけるリーク電流 $I_3$ より1桁以上も低減された。また、第1図に示されるように、素子分離領域のSiN膜18上に配線層20が配線されている場合、SiN膜18下に誘起される電荷が増加することが考えられるが、この配線層20の存在によってリーク電流 $(I_1 + I_2)$ が増加することはなかった。

次に、本発明による第2の実施例を説明する。

第2図は本発明の第2の実施例による半導体装置の断面を示す断面図である。

表面の一部に凹形の溝を有する半絶縁性InP基板32上に、厚さ0.5 $\mu$ mの高低抗のI型InAlAs層34が形成されている。なおこの溝は、溝内に形成されているフォトダイオードとこのフォトダイオードに隣接して溝外に形成されている高電子移動度トランジスタ(HEMT; High Electron Mobility Transistor)との高さを一致させるためのものである。

すなわちこの溝内の素子領域CのI型InAlAs層34上には、InGaAs系pInフォトダイオードが形成されている。そしてこのフォトダイオードは、第1の実施例と同様にして、I型InAlAs層34上に順に積層された厚さ0.5 $\mu$ mのn<sup>+</sup>型InP層36、厚さ1.5 $\mu$ mのI型InGaAs層38、厚さ0.5 $\mu$ mのI型InP層40、およびI型InP層40に例えば亜鉛Znが選択的に拡散されてI型InGaAs層38にまで達するように形成されているp<sup>+</sup>型領域42によって構成されている。

そしてp<sup>+</sup>領域42上には、例えばAu/Zn

/Auからなるp型電極44が形成され、n<sup>+</sup>型InP層36上には、例えばAu/AuGeからなるn型電極46が形成されている。

また、このフォトダイオードと隣り合う溝外の素子領域DのI型InAlAs層34上には、HEMTが形成されている。このHEMTは、I型InAlAs層34上に順に積層された厚さ1000ÅのI型InGaAs層、厚さ400Åのn<sup>+</sup>型InAlAs層、および厚さ200ÅのI型InGaAs層からなるHEMT動作層48と、このHEMT動作層48上に厚さ200Åのn<sup>+</sup>型InGaAsコンタクト層50を介して形成されたAu/AuGeからなるソース電極52およびドレイン電極54と、これらソース電極52およびドレイン電極54に挟まれたHEMT動作層48上に形成されたAlからなるゲート電極56とを有している。

そしてフォトダイオードのp型電極44上およびn型電極46上と、HEMTのソース電極52、ドレイン電極54およびソース電極56とを除き、

フォトダイオードおよびHEMTの表面全体が表面保護膜としての厚さ2000ÅのSiN膜58によって覆われている。

また、このように形成されているフォトダイオードとHEMTとの間の素子分離領域Eにおいては、半絶縁性InP基板32上に形成されている高低抗のI型InAlAs層34上に、フォトダイオードおよびHEMTの表面を覆っている表面保護膜としてのSiN膜58と同一の厚さ2000ÅのSiN膜58が形成されている。すなわち半絶縁性InP基板32とSiN膜48との間に高低抗のI型InAlAs層34が挿入されている構造となっている。そしてSiN膜48上には、例えば厚さ3500ÅのAuと厚さ500ÅのTiとの2層の配線層60が配線されている。

このようにして、半絶縁性InP基板32上に、高低抗のI型InAlAs層34を介して、InGaAs系のフォトダイオードとInGaAs系のHEMTとが形成されている。

次に、第2の実施例の素子分離領域におけるリ

ーク電流について述べる。

上記第1の実施例と同様にして、半絶縁性InP基板32と高低抗のI型InAlAs層34との境界面を流れるリーク電流とI型InAlAs層34とSiN膜48との界面を流れるリーク電流との和である素子分離領域Eにおけるリーク電流は、従来例における半絶縁性InP基板72とSiN膜88との界面に流れるリーク電流に比べてはるかに小さくなる。

なお、この第2の実施例においては、半絶縁性InP基板32とHEMT動作層48との間に設けられたI型InAlAs層34は、このHEMTにおけるバッファ層の役割も果たしている。

次に、第1図に示す半導体装置の製造方法を、第3図を用いて説明する。

半絶縁性InP基板2上に、厚さ0.5 $\mu$ mの高低抗のI型InAlAs層4を格子整合して成長させる。続いて、このI型InAlAs層4上に、厚さ0.5 $\mu$ mのn<sup>+</sup>型InP層6、厚さ1.5 $\mu$ mのI型InGaAs層8、および厚さ

0.5 $\mu$ mのi型InP層10を順に積層する(第3図(a)参照)。

次いで、i型InP層10の所定の場所に、例えば亜鉛Znを選択的に拡散してp<sup>+</sup>型領域12を形成するが、このp<sup>+</sup>型領域12はi型InGaAs層8にまで達するようにする(第3図(b)参照)。

次いで、メサエッチングを行ない、i型InGaAs層8およびi型InP層10を選択的に除去し、素子領域の一部および素子分離領域のn<sup>+</sup>型InP層6を露出させる。さらに素子分離領域のn<sup>+</sup>型InP層6を選択的にエッチング除去して、i型InAlAs層4を露出させる。こうしてn<sup>+</sup>型InP層6、i型InGaAs層8、およびp<sup>+</sup>型領域12から構成されるInGaAs系pinフォトダイオードを形成する(第3図(c)参照)。

次いで、p<sup>+</sup>領域12上に、例えば厚さ1500ÅのAuと厚さ300ÅのZnと厚さ100ÅのAuとの3層のp型電極14を形成し、露出し

ているn<sup>+</sup>型InP層6上に、例えば厚さ2700ÅのAuと厚さ300ÅのAuGeとの2層のn型電極16を形成する。

続いて、プラズマCVD(化学的気相堆積)法を用いて、全面にSiN18を堆積させ、フォトダイオードの表面およびフォトダイオード間の素子分離領域を厚さ2000ÅのSiN膜18によって覆う。これにより、素子分離領域においては、半絶縁性InP基板2上に形成されている高抵抗のi型InAlAs層4上にSiN膜18が形成され、半絶縁性InP基板2とSiN膜18との間に高抵抗のi型InAlAs層4が挿入されている構造となる。

続いて、p型電極14上およびn型電極16上のSiN膜18には、コンタクトホールを開口する。そしてSiN膜18上に、例えば厚さ3500ÅのAuと厚さ500ÅのTiとの2層の配線層20を配線し、隣り合う2個のフォトダイオードのp型電極14とn型電極16とを接続する(第3図(d)参照)。

このようにして、半絶縁性InP基板2上に、高抵抗のi型InAlAs層4を介して、InGaAs系の2個のフォトダイオードを直列に接続したモノリシックデュアルフォトダイオードを形成する。

このように、本実施例による半導体装置の製造方法によれば、半絶縁性InP基板2上に、厚さ0.5 $\mu$ mの高抵抗のi型InAlAs層4を格子整合して成長させた後は、従来とほぼ同じ工程によってフォトダイオードを形成することができる。従って、特別に複雑な技術を用いることなく、素子分離領域におけるリーク電流を低減する上記第1の実施例による半導体装置を製造することができる。

次に、第2図に示す半導体装置の製造方法を、第4図を用いて説明する。

半絶縁性InP基板32のフォトダイオードを形成する素子領域に凹形の溝を形成する。そしてこの凹形の溝を有する半絶縁性InP基板32上に、厚さ0.5 $\mu$ mの高抵抗のi型InAlAs

層34を格子整合して成長させる。そしてこの溝に隣接するHEMTを形成する素子領域のi型InAlAs層34上に、シリコン酸化膜62を形成する(第4図(a)参照)。

次いで、このシリコン酸化膜62およびi型InAlAs層34上に、厚さ0.5 $\mu$ mのn<sup>+</sup>型InP層36、厚さ1.5 $\mu$ mのi型InGaAs層38、および厚さ0.5 $\mu$ mのi型InP層40を順に積層する(第4図(b)参照)。

次いで、i型InP層40の所定の場所に、例えば亜鉛Znを選択的に拡散してp<sup>+</sup>型領域42を形成するが、このp<sup>+</sup>型領域42はi型InGaAs層38にまで達するようにする。続いて、メサエッチングを行ない、i型InGaAs層38およびi型InP層40を選択的に除去し、溝内の素子領域の一部、溝外の素子領域および素子分離領域のn<sup>+</sup>型InP層36を露出させる。さらに溝外の素子領域および素子分離領域のn<sup>+</sup>型InP層36を選択的にエッチング除去して、i型InAlAs層34およびシリコン酸化膜62

を露出させる。こうして $n^+$ 型InP層36、 $i$ 型InGaAs層38、および $p$ 型領域42から構成されるInGaAs系pinフォトダイオードを形成する。

続いて、シリコン酸化膜62を除去した後、その跡の $i$ 型InAlAs層34上に、厚さ1000Åの $i$ 型InGaAs層、厚さ400Åの $n^+$ 型InAlAs層、および厚さ200Åの $i$ 型InAlAs層からなるHEMT動作層48を形成し、さらにこのHEMT動作層48上に厚さ200Åの $n^+$ 型InGaAsコンタクト層50を形成する(第3図(c)参照)

次いで、 $p^+$ 領域42上に、例えばAu/Zn/Auからなる $p$ 型電極44を形成し、露出している $n^+$ 型InP層36上に、例えばAu/AuGeからなる $n$ 型電極46を形成する。他方、 $n^+$ 型InGaAsコンタクト層50上にはAu/AuGeからなるソース電極52およびドレイン電極54が形成され、またこれらソース電極52およびドレイン電極54に挟まれたチャンネル

のSiN膜58には、コンタクトホールを開口する。そしてSiN膜58上に、フォトダイオードの $p$ 型電極14および $n$ 型電極16とそれぞれ接続する例えばAu/Tiからなる配線層60を配線する(第3図(d)参照)。

このようにして、半絶縁性InP基板2上に、高抵抗の $i$ 型InAlAs層4を介して、InGaAs系のフォトダイオードとHEMTとが隣接した光電子集積回路を形成する。

本発明は、上記実施例に限らず、種々の変形が可能である。

例えば上記実施例においては、素子分離領域において、半絶縁性InP基板とSiN膜との間に高抵抗の $i$ 型InAlAs層が挿入されている構造となっているが、この $i$ 型InAlAs層の替わりに、SiN膜との界面に誘起される電荷が小さい半導体層として、高抵抗のGaAsであってもよい。あるいはまた、高抵抗のInGaAsであってもよい。

また、 $i$ 型InAlAs層上に形成されたSi

領域においては、 $n^+$ 型InGaAsコンタクト層50を除去し、露出したHEMT動作層48上にAlからなるゲート電極56を形成している。こうしてInGaAs系のHEMTを形成する。

そして最初に半絶縁性InP基板32上に形成した溝によって、溝内に形成されたフォトダイオードとこのフォトダイオードに隣接して溝外に形成されたHEMTとを、それらの高さが一致するように形成することができる。

続いて、プラズマCVD(化学的気相堆積)法を用いて、全面にSiN58を堆積させ、フォトダイオード、HEMT、およびフォトダイオードとHEMTとの間の素子分離領域を厚さ2000ÅのSiN膜18によって覆う。これにより、素子分離領域においては、半絶縁性InP基板32上に形成されている高抵抗の $i$ 型InAlAs層34上にSiN膜58が形成され、半絶縁性InP基板32とSiN膜58との間に高抵抗の $i$ 型InAlAs層34が挿入されている構造となる。

続いて、 $p$ 型電極44上および $n$ 型電極46上

N膜の替わりに、SiO膜やSiON膜であってもよい。

#### [発明の効果]

以上のように本発明によれば、半絶縁性InP基板上に形成された半導体素子間の素子分離領域において、半絶縁性InP基板表面と誘電膜との間に、誘電膜との界面誘起電荷が小さい半導体層を挿入することにより、この素子分離領域に発生するリーク電流を低減することができる。

これによって、半絶縁性InP基板上に形成された素子間の絶縁性を高め、安定動作、低雑音動作などの性能を向上させることができる。

#### 4. 図面の簡単な説明

第1図は本発明の第1の実施例における半導体装置を示す断面図。

第2図は本発明の第2の実施例における半導体装置を示す断面図。

第3図は第1図に示す半導体装置の製造方法を



示す工程図、

第4図は第2図に示す半導体装置の製造方法を

示す工程図、

第5図は従来の半導体装置を示す断面図である。

図において、

- 2, 32, 72……InP基板、
- 4, 34……I型InAlAs層、
- 6, 36, 76…… $n^+$ 型InP層、
- 8, 38, 78……I型InGaAs層、
- 10, 40, 80……I型InP層、
- 12, 42, 82…… $p^+$ 型領域、
- 14, 44, 84…… $p$ 型電極、
- 16, 46, 86…… $n$ 型電極、
- 18, 58, 88……SiN膜、
- 20, 60, 90……配線金属層、
- 48……HEMT動作層、
- 50…… $n^+$ 型InGaAsコンタクト層、
- 52……ソース電極、
- 54……ドレイン電極、

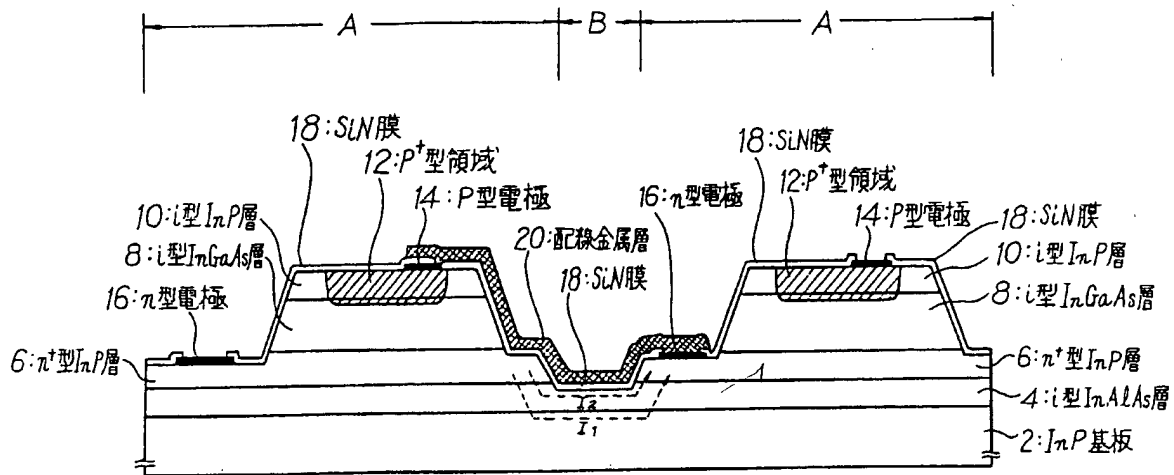
代理人 井理士

井

桁

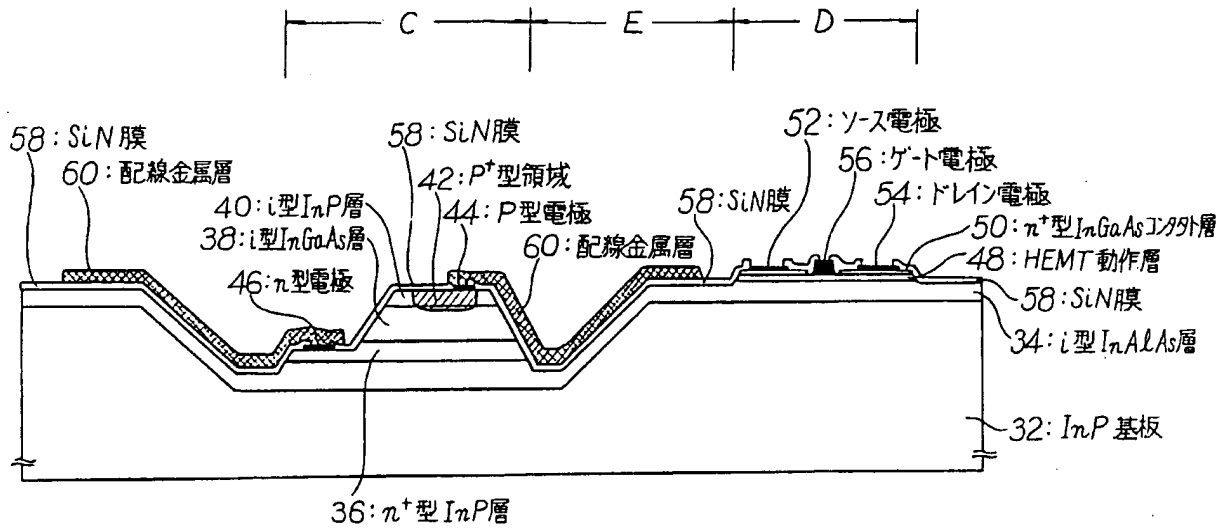
貞

一



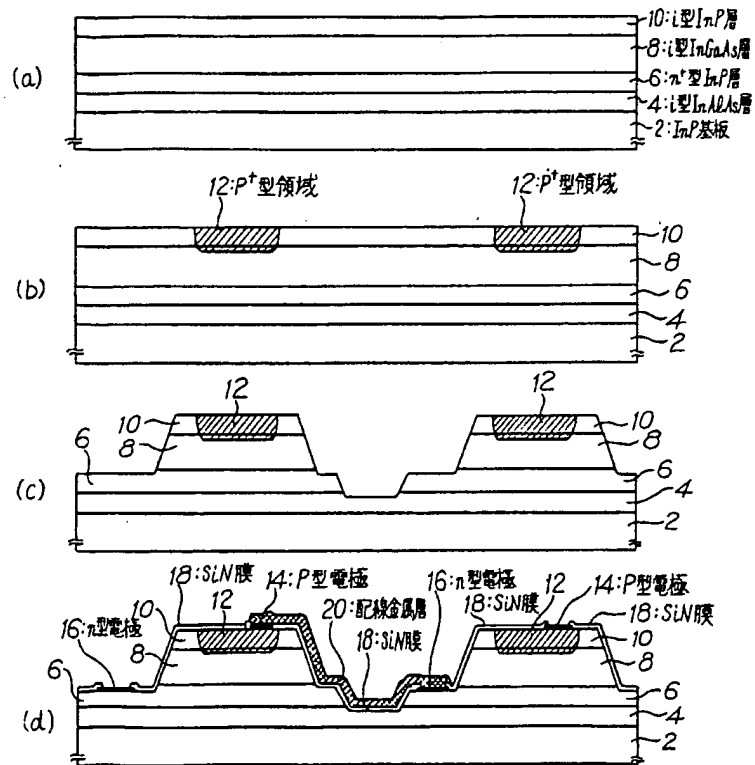
本発明の第1の実施例による半導体装置を示す断面図

第1図



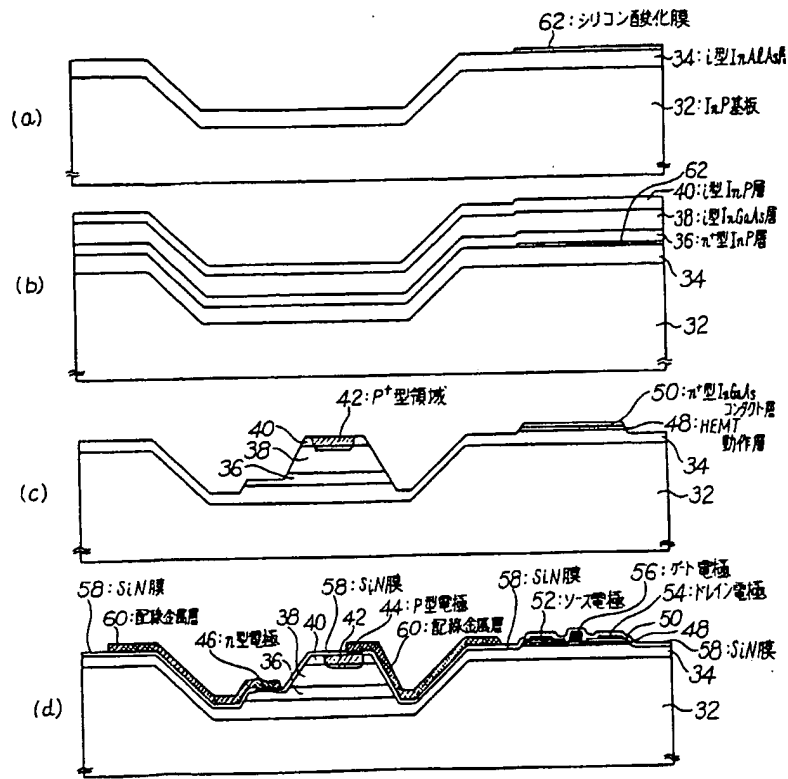
本発明の第2の実施例による半導体装置を示す断面図

第2図

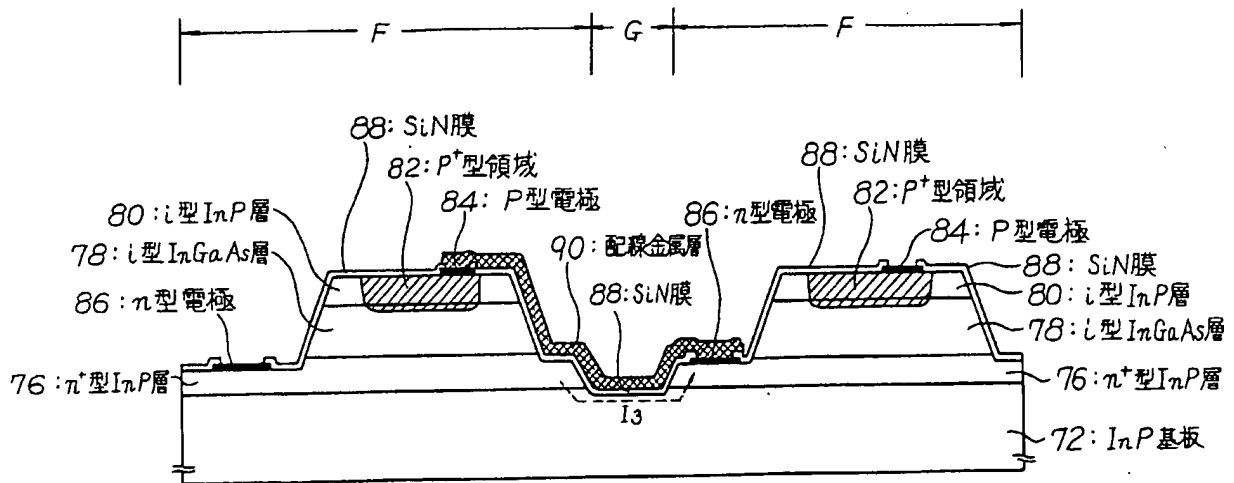


第1図に示す半導体装置の製造方法を示す工程図

第3図



第2図に示す半導体装置の製造方法を示す工程図  
第4図



従来の半導体装置を示す断面図

第5図